



**UNIVERSIDAD CATÓLICA
DE SANTIAGO DE GUAYAQUIL**
FACULTAD DE EDUCACIÓN TÉCNICA
PARA EL DESARROLLO
CARRERA DE INGENIERÍA EN TELECOMUNICACIONES

TEMA:

**Desarrollo de una plataforma de entrenamiento FPGA
utilizando Altera Cyclone IV EP4CE6E22C8N para prácticas
de sistemas digitales**

AUTOR:

Solís Balarezo, Daniel David

Componente práctico del examen complejo previo a la
obtención del grado de **INGENIERO EN
TELECOMUNICACIONES**

REVISOR:

Palacios Meléndez, Edwin Fernando

Guayaquil, Ecuador

09 de Septiembre del 2016



**UNIVERSIDAD CATÓLICA
DE SANTIAGO DE GUAYAQUIL**
FACULTAD DE EDUCACIÓN TÉCNICA PARA EL DESARROLLO
CARRERA DE INGENIERÍA EN TELECOMUNICACIONES

CERTIFICACIÓN

Certificamos que el presente **componente práctico del examen complejo**, fue realizado en su totalidad por **Solís Balarezo Daniel David** como requerimiento para la obtención del título de **INGENIERO EN TELECOMUNICACIONES**.

REVISOR

Palacios Meléndez, Edwin Fernando

DIRECTOR DE CARRERA

Heras Sánchez, Miguel Armando

Guayaquil, a los 09 del mes de Septiembre del año 2016



**UNIVERSIDAD CATÓLICA
DE SANTIAGO DE GUAYAQUIL**
FACULTAD DE EDUCACIÓN TÉCNICA PARA EL DESARROLLO
CARRERA DE INGENIERÍA EN TELECOMUNICACIONES

DECLARACIÓN DE RESPONSABILIDAD

Yo, **Solís Balarezo, Daniel David**

DECLARÓ QUE:

El **componente práctico del examen complejo, Desarrollo de una plataforma de entrenamiento FPGA utilizando Altera Cyclone IV EP4CE6E22C8N para prácticas de sistemas digitales** previo a la obtención del Título de **Ingeniero en Telecomunicaciones**, ha sido desarrollado respetando derechos intelectuales de terceros conforme las citas que constan en el documento, cuyas fuentes se incorporan en las referencias o bibliografías. Consecuentemente este trabajo es de mi total autoría.

En virtud de esta declaración, me responsabilizo del contenido, veracidad y alcance del Trabajo de Titulación referido.

Guayaquil, a los 09 del mes de Septiembre del año 2016

EL AUTOR

SOLIS BALAREZO, DANIEL DAVID



**UNIVERSIDAD CATÓLICA
DE SANTIAGO DE GUAYAQUIL**
FACULTAD DE EDUCACIÓN TÉCNICA PARA EL DESARROLLO
CARRERA DE INGENIERÍA EN TELECOMUNICACIONES

AUTORIZACIÓN

Yo, **Solís Balarezo, Daniel David**

Autorizó a la Universidad Católica de Santiago de Guayaquil a la **publicación** en la biblioteca de la institución del **componente práctico del examen complejo, Desarrollo de una plataforma de entrenamiento FPGA utilizando Altera Cyclone IV EP4CE6E22C8N para prácticas de sistemas digitales**, cuyo contenido, ideas y criterios son de mi exclusiva responsabilidad y total autoría.

Guayaquil, a los 09 del mes de Septiembre del año 2016

EL AUTOR

SOLIS BALAREZO, DANIEL DAVID

REPORTE DE URKUND

URKUND

Documento: [TT-DANIEL-SOLIS-NN-1-2016-FINAL-3.docx](#) (D21902943)

Presentado: 2016-09-21 21:11 (-05:00)

Presentado por: dsb586@gmail.com

Recibido: edwin.palacios.ucsg@analysis.orkund.com

Mensaje: TT Daniel Solís [Mostrar el mensaje completo](#)

4% de esta aprox. 10 páginas de documentos largos se componen de texto presente en 3 fuentes.

Lista de fuentes		Bloques
+	Categoría	Enlace/nombre de archivo
+	>	TT-EDWIN-PINARGOTE-NNN-1-2016...
+	■	Titulación Juan Alvarado.docx
+	■	http://articulo.mercadolibre.com.mx...
+	■	Tesis.Final.Empastado.pdf
+		http://repositorio.ucsg.edu.ec/handl...

Reiniciar Exportar Compartir 0 Advertencias

UNIVERSIDAD CATÓLICA DE SANTIAGO DE GUAYAQUIL FACULTAD DE EDUCACIÓN TÉCNICA PARA EL DESARROLLO CARRERA DE INGENIERÍA EN TELECOMUNICACIONES TEMA: Desarrollo de una plataforma de entrenamiento FPGA utilizando Altera Cyclone IV EP4CE6E22C8N para prácticas de sistemas digitales AUTOR: Daniel David Solís Balarezo

Componente práctico del examen complejo previo a la obtención del grado de INGENIERO EN TELECOMUNICACIONES REVISOR: Palacios Meléndez, Edwin Fernando Guayaquil, Ecuador 02 de Septiembre del 2016

DEDICATORIA

Este trabajo de titulación previo a la obtención del título de Ingeniero en Telecomunicaciones es dedicado a todas aquellas personas que han logrado ver en los microprocesadores un mundo ilimitado de aplicaciones para todas las áreas, y les interesa mejorar o aplicar dicha tecnología para el avance personal o científico del conocimiento humano.

EL AUTOR

SOLIS BALAREZO, DANIEL DAVID

AGRADECIMIENTO

A lo largo de mi vida he tenido el agrado de conocer muchas personas, algunos se convirtieron en amigos, otras en amores, pero todos aquellos Dios los ha colocado para crecer y ser una mejor persona, es por eso que agradezco mucho a Dios por todas las experiencias, la sabiduría, la salud y sobre todo el amor que me ha demostrado.

A mis padres, que me han apoyado en lo que más han podido, me indicaron el bien y el mal desde pequeño, incluyeron en mi la moral y ética, y pudieron construir una persona de bien y para hacer su pequeña aportación a la sociedad.

A mis amigos, quienes se han quedado conmigo para siempre, conociendo mis fortalezas y debilidades que sin dudarlos me ayudan a conocer mis errores y me han apoyado siempre en mis decisiones.

Al Club de Robótica ROBOFET y mi mentor el Ing. Fernando Palacios, es un honor haber participado en todas las experiencias vividas, cada participación fue un reto y por ello fue de vital importancia la guía de él.

EL AUTOR

SOLIS BALAREZO, DANIEL DAVID



**UNIVERSIDAD CATÓLICA
DE SANTIAGO DE GUAYAQUIL**
FACULTAD DE EDUCACIÓN TÉCNICA PARA EL DESARROLLO
CARRERA DE INGENIERÍA EN TELECOMUNICACIONES

TRIBUNAL DE SUSTENTACIÓN

f. _____
LUIS SILVIO CORDOVA RIVADENEIRA
REVISOR

f. _____
MANUEL DE JESUS ROMERO PAZ
DECANO

f. _____
EDWIN FERNANDO PALACIOS MELÉNDEZ
COORDINADOR DE TITULACIÓN

ÍNDICE GENERAL

ÍNDICE DE FIGURAS.....	X
RESUMEN.....	XI
CAPÍTULO 1: Descripción del Componente Práctico.....	12
1.1. Introducción.....	12
1.2. Objetivo General.	13
1.3. Objetivos Específicos.	13
CAPÍTULO 2: Fundamentación Teórica.....	14
2.1. Introducción a los FPGA.....	14
2.2. FPGA basado en SRAM.....	15
2.2.1. FPGA XILINX.	16
2.2.2. FPGA Altera.	18
2.3. VHDL.	19
2.3.1. Características de VHDL.	19
2.4. Tarjetas entrenadoras FPGA para la educación.....	21
2.4.1. Xilinx Spartan-3 FPGA kit tarjeta de desarrollo XKF3.	21
2.4.2. Terasic Altera DE0-Nano.....	23
CAPÍTULO 3: Diseño e implementación de la placa de entrenamiento.....	26
3.1. Componentes a utilizar.....	26
3.1.1. Resistencias SMD.....	26
3.1.2. Regulador ASM1117.....	27
3.1.3. FPGA Altera Cyclone IV EP4CE6E22C8N.....	28
3.2. Diseño del circuito de la placa de entrenamiento FPGA.....	29
3.2.1. Diseño esquemático de la tarjeta entrenadora.....	30
3.2.2. Diseño PCB de la tarjeta entrenado.....	31
3.2.3. Código de practica en VHDL.....	35
Conclusiones.....	38
Recomendaciones.....	38
Referencias Bibliográficas.	39

ÍNDICE DE FIGURAS

Capítulo 2:

Figura 2. 1: Elemento lógico basada en SRAM.....	16
Figura 2. 2: Configuración lógica de FPGAs Xilinx de la familia Virtex	17
Figura 2. 3: Arquitectura de un FPGA basado en SRAM de la familia Virtex de Xilinx.....	17
Figura 2. 4:Arquitectura de un FPGA Altera basado en SRAM de la familia Stratix II	18
Figura 2. 5: Estructura de un programa en VHDL	20
Figura 2. 6: Tarjeta de desarrollo FPGA Xilinx Spartan-3 XKF3.....	22
Figura 2. 7: Tarjeta de desarrollo Terasic Altera DE0-Nano vista superior. ...	24
Figura 2. 8: Tarjeta de desarrollo Terasic Altera DE0-Nano vista inferior.	25

Capítulo 3:

Figura 3. 1: Resistencias SMD 1206.....	27
Figura 3. 2: Descripción de pines.....	28
Figura 3. 3: Características de altera Cyclone IV EP4CE6E22C8N	29
Figura 3. 4: Entradas y salidas de Altera Cyclone IV EP4CE6E22C8N	29
Figura 3. 5: Diseño esquemático de la tarjeta entrenadora FPGA.	31
Figura 3. 6: Diseño PCB de la placa entrenadora FPGA	32
Figura 3. 7: Diseño de capa inferior de placa entrenadora FPGA	33
Figura 3. 8: Capa superior de la placa entrenadora FPGA.....	34
Figura 3. 9: Capa superior de la placa entrenadora FPGA.....	35
Figura 3. 10: Cabecera del código de ejemplo.....	36
Figura 3. 11: Entity del código de ejemplo	36
Figura 3. 12: Arquitectura del código de ejemplo.	37

RESUMEN

En el presente trabajo de titulación en la modalidad de examen complejo del componente práctico se recopila información acerca de los FPGA's, sus aplicaciones y cómo podemos mejorar diseñando o modificando una interfaz de aplicación. Es necesario conocer cómo funciona estos microprocesadores, y sus alcances para desarrollarlos en los distintos proyectos estudiantiles e investigativos. En este trabajo también se detalla un diseño electrónico fácil de realizar y económico, proporcionando al estudiante una herramienta para su formación académica en sistemas digitales. Además, se incluye una breve información del lenguaje de descripción hardware (VHDL), y un ejemplo en nuestra tarjeta entrenadora para los estudiantes de nuestra facultad de educación técnica para el desarrollo, que con ello se destacan las fortalezas del diseño realizado. Las futuras modificaciones de esta tarjeta son ilimitadas, ya que cualquier persona al poder de esta documentación puede realizar cambios en el diseño previo realizado esperando así poder alcanzar a motivar al lector para una investigación más exhaustiva.

Palabras Clave: FPGA, VHDL, SISTEMAS DIGITALES, MICROPROCESADORES, ISIS PROTEUS, QUARTUS II.

CAPÍTULO 1: Descripción del Componente Práctico.

En el presente capítulo se describe una breve introducción del componente práctico, así como el objetivo general y objetivos específicos que dan soporte al desarrollo del componente práctico del examen complejo.

1.1. Introducción.

La fusión teórica y la práctica para desarrollar aplicaciones prácticas de sistemas digitales son fundamentales en la formación de los estudiantes de la Carrera de Ingeniería en Telecomunicaciones, para lo cual este trabajo de componente práctico, presenta un diseño básico para implementar en experimentos de sistemas digitales.

La utilización de los microprocesadores FPGAs, son muy útiles en la aplicación de la mayoría de conocimientos impartidos por los docentes de nuestra facultad técnica para el desarrollo en la universidad católica de Santiago de Guayaquil, y desarrollar o gestionar estas prácticas es de gran importancia el saber sus fundamentos.

Es por eso que presentamos en este trabajo de titulación un sistema fácil de realizar y accesible para los estudiantes e investigadores, esta placa entrenadora es sencilla con los elementos básicos para poder aplicar cualquier teoría o práctica de sistemas digitales que es considerado muy importante por nuestros docentes.

El aprendizaje de la utilización estos elementos se imparten en las clases de la materia, y determina la complementación de la formación.

1.2. Objetivo General.

Desarrollar una plataforma de entrenamiento FPGA utilizando Altera Cyclone IV EP4CE6E22C8N para prácticas de sistemas digitales

1.3. Objetivos Específicos.

- Describir los fundamentos teóricos de los sistemas de dispositivos programables en campo – FPGA.
- Proporcionar al estudiante o investigador una interfaz económica y de fácil uso para su desarrollo.
- Conocer las ventajas del diseño electrónico para aplicaciones con microprocesadores en prácticas de sistemas digitales.
- Diseñar el prototipo de la tarjeta de entrenamiento FPGA utilizando el dispositivo Cyclone IV EP4CE6E22C8N.

CAPÍTULO 2: Fundamentación Teórica.

2.1. Introducción a los FPGA.

Recientemente, las FPGAs se han consolidado como la plataforma definitiva para el desarrollo de muchos diseños digitales. Los aspectos que hacen que estos dispositivos son especialmente atractivos por su capacidad de reconfiguración, la existencia de una gran variedad comercial, la integración de alta densidad y el desarrollo de CAD (diseño asistido por ordenador) herramientas que faciliten el desarrollo de los diseños. Por estas razones, el número de trabajos se centraron en el diseño e implementación de sistemas digitales en hardware reconfigurable (Brox et al., 2016a).

Los FPGA's (Field Programmable Gate Array), son dispositivos electrónicos reprogramables que están contruidos por bloques de lógica conectados entre sí, y sus funciones se pueden programar.

No es necesario diseñarlos en hardware, solo se deberá desarrollar algoritmos en software y compilarlas en un archivo que es cargado posteriormente al FPGA.

El usuario puede desarrollar su sistema digital utilizando herramientas tipo EDA (Electronics Design Automation), esquemáticos o lenguaje de descripción de hardware (como VHDL), para poder ejecutar el sistema en lógica digital.

Para Veloz & Ramiro (2014) la velocidad y el tamaño de los FPGA son comparables a los ASICs (circuitos integrados para aplicaciones específicas),

pero con muchas ventajas más como es su flexibilidad, la eficiencia en los recursos necesarios y su diseño es más corto.

Se puede concluir, como dice Encalada & Alexander (2011) en su publicación, que los FPGA es la convergencia de diferentes dispositivos, los circuitos integrados de aplicación específica (ASIC) y los dispositivos lógicos programables (PLD), su resultado es un dispositivo muy eficaz y a la vez accesible.

Los FPGA se dividen en dos grandes categorías: FPGAs basados en SRAM y basados en antifuse, aquí trataremos solo la primera categoría.

2.2. FPGA basado en SRAM.

En la actualidad encontramos fabricantes muy importantes que se destacan a la hora de presentar un producto terminado, como son Xilinx y Altera, cada uno presenta una arquitectura diferente y característica propia.

La estructura y la complejidad de los elementos lógicos, así como la organización y funcionalidad con el apoyo de una jerarquía de interconexión, es lo que distingue los diferentes dispositivos entre sí. Otras características tales como la memoria y la tecnología de bloque de enganche de retardo de bucle son también factores importantes que influyen en la complejidad y el rendimiento de un algoritmo implementado utilizando FPGAs (Alvarado Bonilla, 2016).

Como se muestra en la figura 2.1, cada elemento lógico basados en RAM-n consiste en una o más tablas, donde n varía entre tres y seis, y cuenta con flip-flops dependiendo el caso.

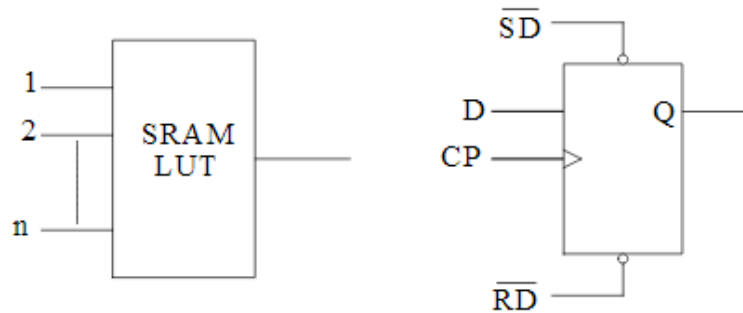


Figura 2. 1: Elemento lógico basada en SRAM
Fuente: (Alvarado Bonilla, 2016)

A continuación, detallaremos dos de los más grandes fabricantes de FPGAs a nivel mundial, los XILINX y Altera.

2.2.1. FPGA XILINX.

La serie de Xilinx Virtex de FPGAs basados en FPGAs SRAM son muy populares. Los elementos lógicos, conocidos como rodajas, comprenden 2 mesas de cuatro entradas (LUT), 2 chancas, varios multiplexores, y circuitos adicionales para implementar sumadores de alta velocidad, sustractores y registros de desplazamiento. Dos rebanadas forman un bloque lógico configurable (CLB) como se muestra en la figura 2.2.

El CLB forma el bloque básico que se utiliza para construir los circuitos lógicos. Algunos FPGAs, como los de la familia Virtex, ofrecen la RAM en bloques. La figura 2.3 se muestra la matriz de Xilinx Virtex CLB que define un FPGA de esta familia. Esta proporciona 768 a 19.200 partes lógicas, y de 8 a 160 memorias de bloque de forma variable.

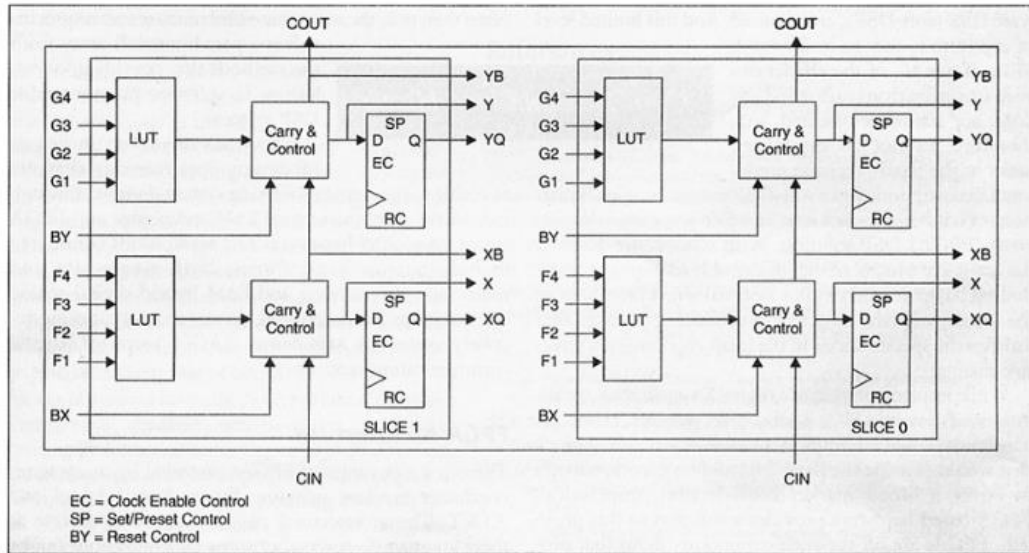


Figura 2. 2: Configuración lógica de FPGAs Xilinx de la familia Virtex
Fuente: (Karris, 2010)

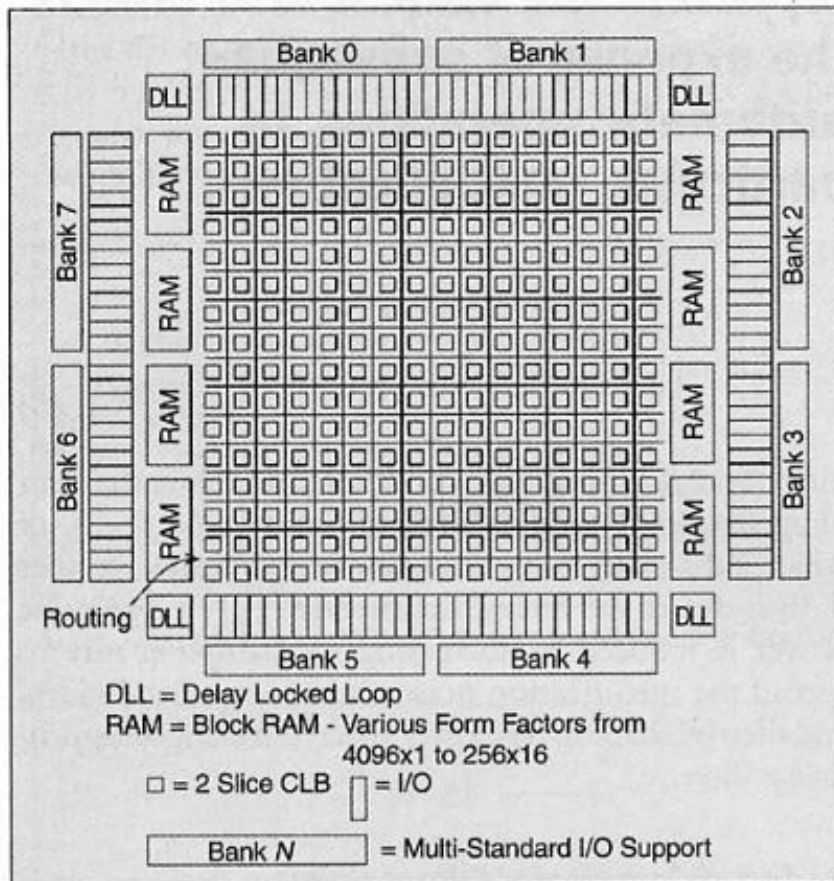


Figura 2. 3: Arquitectura de un FPGA basado en SRAM de la familia Virtex de Xilinx
Fuente: (Karris, 2010)

2.2.2. FPGA Altera.

Los fabricantes de la marca Altera han desarrollado otro tipo de arquitectura, está compuesta de una estructura lógica innovadora, permitiendo a los diseñadores incluir mayor funcionalidad en menor espacio colocándolos de entre los primeros lugares en eficiencia al tratar de estos dispositivos.

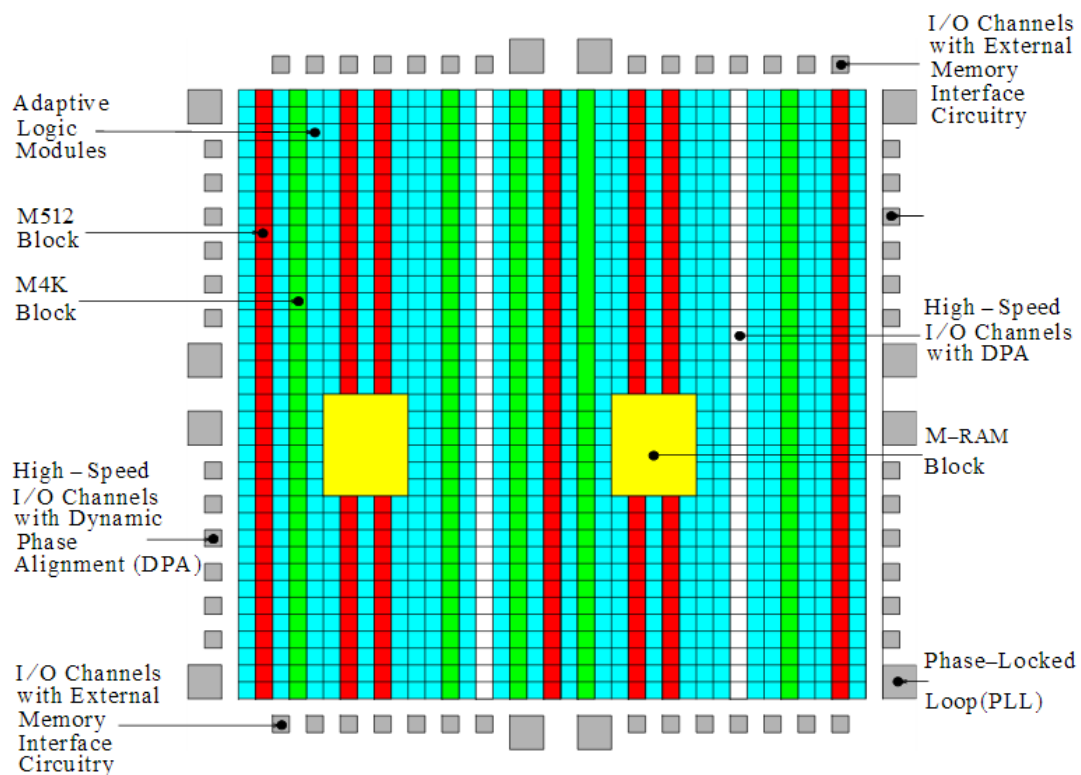


Figura 2. 4:Arquitectura de un FPGA Altera basado en SRAM de la familia Stratix II
Fuente: (Karris, 2010)

Al tratar con estos microprocesadores, permite reducir los costos en el desarrollo para los estudiantes o investigadores. Posee una tecnología de 90nm ofreciendo un rendimiento lógico 50 por ciento más rápido que la competencia, además su costo es de un 40 por ciento menor. También permite a los diseñadores aprovechar las ventajas de la tecnología

programable en un conjunto mayor de aplicaciones, su arquitectura se demuestra en la figura 2.4.

2.3. VHDL.

En la actualidad ha habido una transformación en el diseño basado en el uso de lenguajes de descripción hardware (HDL). En la actualidad, los dos idiomas más populares, VHDL y Verilog, estos son ampliamente utilizados para describir, simular y sintetizar circuitos digitales. Las ventajas de estos lenguajes es que son posibles definir diseños flexibles, así como el uso de banco de pruebas y facilitan la realización de las simulaciones (Brox et al., 2016b).

2.3.1. Características de VHDL.

El lenguaje VHDL permite describir los sistemas electrónicos de una forma que resulta natural para el diseñador, mediante el uso de entidades, componentes y bloques para describir estructura y jerarquía. Además, permite describir el comportamiento del sistema mediante sentencias secuenciales y concurrentes, propias de un lenguaje de programación de alto nivel por lo que resultan familiares y fáciles de usar (García Dopico, 2000).

Su estructura básica se puede representar en tres niveles, donde el nivel superior está dirigido a llamar a las librerías a utilizar en el programa, el siguiente nivel (Entity) está diseñada para la descripción de entradas y salidas que se utilizaran, y por ultimo su arquitectura contendrá los procesos que el microprocesador ejecutara.

En la figura 2.5, se puede apreciar lo antes descrito.



Figura 2. 5: Estructura de un programa en VHDL

Fuente: Autor

Entre sus características generales están:

- Sintaxis clara y precisa: Se utilizan un conjunto restringidos de elementos del código ASCII-7.
- Clases de objetos: Todos los objetos tienen un tipo que determina la clase de valor que puede asignarse (Marcalla, Fernando, Olmedo, & Alejandro, 2014).
- Asignación de señales: Son señales internas utilizadas en variables para realizar varias acciones que no es necesario reflejarlos físicamente.
- Tipos STD_LOGIC: El paquete STD_LOGIC_1164 está dentro de una biblioteca denominada IEEE (Marcalla et al., 2014).

2.4. Tarjetas entrenadoras FPGA para la educación

Una tarjeta entrenadora FPGA son sistemas embebidos que según del fabricante podemos encontrar varios elementos electrónicos necesarios para desarrollar un sistema todo en una placa base.

En el mercado existen varios fabricantes de este tipo de tarjetas con costos muy elevados o económicos, según sea el propósito u objetivo de sus aplicaciones dentro de la educación o investigación.

En este documento analizaremos las tarjetas entrenadoras que existen en el mercado que actualmente se utilizan para practicas estudiantiles o investigaciones en sistemas digitales.

A continuación, describiremos dos de las tarjetas más populares, tales como de la marca Xilinx y Altera, ambas ofrecen muchas variaciones de sus dispositivos con FPGA.

2.4.1. Xilinx Spartan-3 FPGA kit tarjeta de desarrollo XKF3.

La tarjeta de desarrollo Xilinx Spartan-3, figura 2.6, está diseñado para el estudio de la programación o aplicación de proyectos en un FPGA. Este kit de entrenamiento incluye muchos periféricos de entrada y salida como se puede apreciar a continuación.



Figura 2. 6: Tarjeta de desarrollo FPGA Xilinx Spartan-3 XKF3.

Fuente:(pldkit, 2016)

Esta tarjeta de desarrollo no requiere cables especiales de programación ya que incluye un controlador USB que permite la programación JTAG y la comunicación UART.

Además, se puede utilizar como un programador USB, para la programación de cualquier otro dispositivo JTAG externo, no necesariamente XILINX.

Este kit tiene la batería de Li-ion, lo que puede ser cargada desde el puerto USB o de cualquier cargador de pared micro USB.

Incluye una gran documentación para expertos y principiantes en el uso de esta tarjeta de desarrollo.

Entre sus características están:

Cuenta con 4320 celdas lógicas, 173 puertos de entrada o salida, está totalmente soportado con las últimas herramientas Xilinx, controlador USB FTDI FT2232D, puerto búfer para la programación de los dispositivos JTAG externos, periféricos a bordo de entrada y salida, 4 LEDs, 4 interruptores, Altavoz, cristal CMOS de 50MHz, puerto VGA, LCD de 16x2, matriz led 5x7, 4 entradas y salidas optoacopladas, EEPROM AT24C256 256Kbit, sensor LM75, SDRAM de 64Mbit, batería de iones de litio de alta capacidad.

Incorpora puertos de entrada y salida para I2C y otras interfaces, esta tarjeta de desarrollo se la puede encontrar por el costo de 100 dólares americanos en Estados Unidos.

2.4.2. Terasic Altera DE0-Nano

La tarjeta DE0-nano presenta una plataforma de desarrollo FPGA de tamaño compacto adecuado para diseños de prototipos tales como robots y proyectos "portátiles". La placa está diseñada para un uso sencillo, práctico y fácil para el estudiante o investigador.

El DE0-Nano tiene varias de las interfaces entre ellas dos cabeceras GPIO externos para extender diseños más allá tarjeta DE0-Nano, incluye además dispositivos de memoria incluyendo SDRAM y EEPROM para el almacenamiento de datos más grande, así como los periféricos generales como son LEDs, botones y un dipswitch.

Las ventajas de la tarjeta DE0-nano son su tamaño y peso, así como su capacidad de ser configurado de nuevo y a cada momento, para

distinguirse de otras placas de desarrollo de propósito general. Además, para los diseños móviles en energía portátil es crucial, la DE0-Nano proporciona a los diseñadores con tres opciones de combinación de energía que incluyen un puerto mini-USB y 2-clavijas de alimentación.

Entre sus características encontramos que el fabricante incluyó 22320 elementos lógicos, 32MB SDRAM, 2Kb I2C EEPROM, 8 LEDs verdes, 2 botones, y 4 Dip switches, un sensor acelerómetro ADI ADXL345, un convertidos analógico digital NS ADC18S022 de 8 canales a 12 Bits, cristal de 50MHZ.

En las figuras 2.7 y 2.8, se puede apreciar directamente el diseño de la tarjeta de desarrollo antes descrita, es muy compacta y robusta, y cuenta con muchas entradas y salidas que hacen de esta placa la ideal para el desarrollo de prácticas para los estudiantes o investigadores.

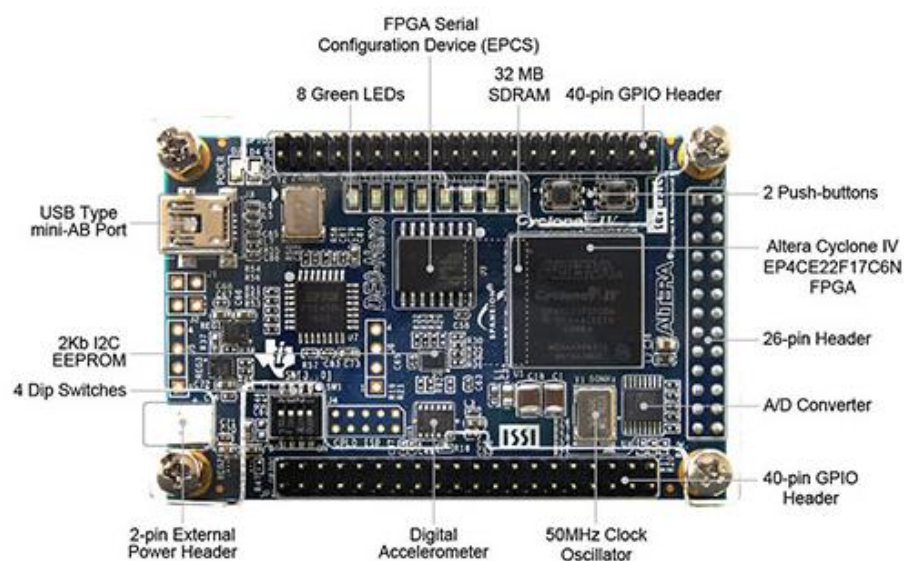


Figura 2. 7: Tarjeta de desarrollo Terasic Altera DE0-Nano vista superior.

Fuente: (Terasic, 2016)

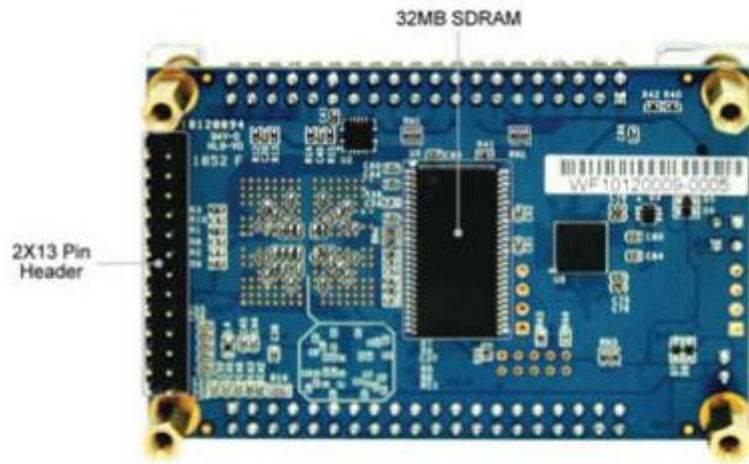


Figura 2. 8: Tarjeta de desarrollo Terasic Altera DE0-Nano vista inferior.

Fuente: (Terasic, 2016)

Su costo en el mercado es de 150 dólares americanos, incluyen un CD de software, ejercicios básicos para el inicio del estudiante; además de su cable USB y una pequeña guía rápida de usuario.

CAPÍTULO 3: Diseño e implementación de la placa de entrenamiento.

La implementación está orientada para estudiantes de la facultad técnica para el desarrollo de la universidad católica de Santiago de Guayaquil en las prácticas de laboratorio de digitales.

Por sus costos de desarrollo y fácil acceso a los elementos, este diseño es ideal para su implementación, complementando a la formación de los estudiantes en las carreras de ingeniería en telecomunicaciones y también la ingeniería en control y automatismo.

A continuación, se describen los elementos que se utilizaron para su aplicación.

3.1. Componentes a utilizar.

Entre los componentes que se utilizaron para la implementación de esta placa entrenadora fueron: resistencias SMD de distintos valores, dipswitch, LEDs, pulsadores, espadines macho y hembra, entre otros.

A continuación, se describirán los elementos que fueron fundamentales en el desarrollo de esta placa entrenadora.

3.1.1. Resistencias SMD

Son elementos resistivos reales, su característica fundamental es que están diseñadas para realizar un montaje superficial.

En este diseño utilizamos las resistencias 1206, que por su tamaño y costo son más fáciles de encontrar en el mercado nacional, además el montaje a la placa es mucho más sencillo que otras.

Utilizamos valores comprendidos entre 1KOhm y 150Ohm, tanto para Pull-Up o Pull-Down, y también para proteger los LEDs.

En la figura 3.1, describimos el tamaño de esta resistencia, este y más detalles se encuentran en su hoja del fabricante.

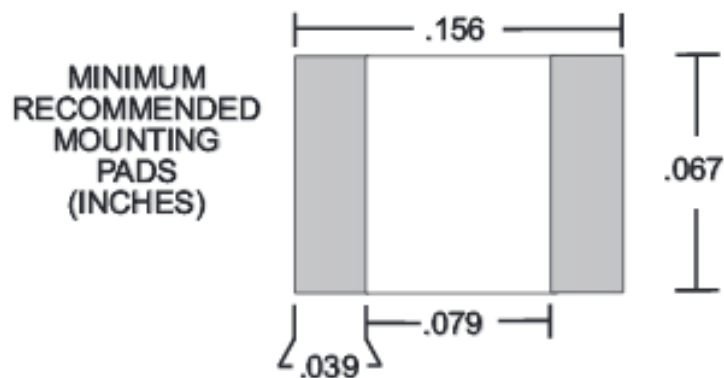


Figura 3. 1: Resistencias SMD 1206
Elaborado por: (State of the art, 2016)

3.1.2. Regulador ASM1117

Son reguladores de voltaje tales como los ya conocidos 7805, pero su característica fundamental es que son diseñados para un montaje superficial.

Utilizamos un regulador de 3.3V y uno de 5V, para realizar la disminución del voltaje en cascada aplicado en el núcleo FPGA e interfaces de entrada y salida.

En la figura 3.2, se demuestra los pines de dicho elemento fundamental, cabe destacar que tanto para la regulación de 3.3V y 5V utilizamos el mismo modelo, pero con diferentes características internas.

El pin 1 está definido como tierra o masa, el 2 como salida de voltaje regulada y el 3 es entrada.

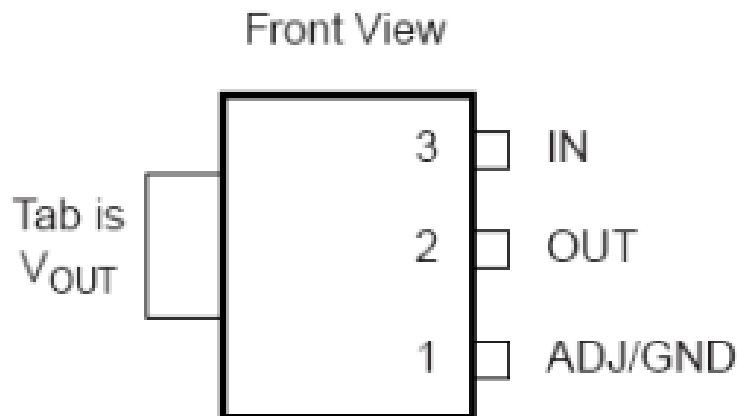



Figura 3. 2: Descripción de pines
Elaborado por: (AMS Semitech, 2016)

3.1.3. FPGA Altera Cyclone IV EP4CE6E22C8N.

La nueva familia de dispositivos FPGA de Altera extiende el liderazgo en la prestación de más bajo costo, también el del más bajo consumo de energía en el mercado.

Los dispositivos Cyclone IV están diseñados para alto rendimiento y bajo consumo, permitiendo a los diseñadores de sistemas satisfacer las crecientes necesidades de ancho de banda al tiempo que reduce los costos.

Estos dispositivos por sus características son ideales para diferentes campos de aplicación, entre ellos tenemos las comunicaciones inalámbricas, consumo industrial, comunicaciones industriales, automatizaciones, control, etc. La siguiente figura 3.3, se describe las características fundamentales de este FPGA.

Resources	EP4CE6
Logic elements (LEs)	6,272
Embedded memory (Kbits)	270
Embedded 18 × 18 multipliers	15
General-purpose PLLs	2
Global Clock Networks	10
User I/O Banks	8
Maximum user I/O 	179




Figura 3. 3: Características de altera Cyclone IV EP4CE6E22C8N
Elaborado por: Autor

En el mercado es posible encontrar este FPGA con un diseño previo, listo con los pines para empotrar y ser utilizada, por lo que se decidió adquirirla para este trabajo de aplicación. En la figura 3.4, se pueden apreciar los pines de entrada y salida designados por el fabricante.

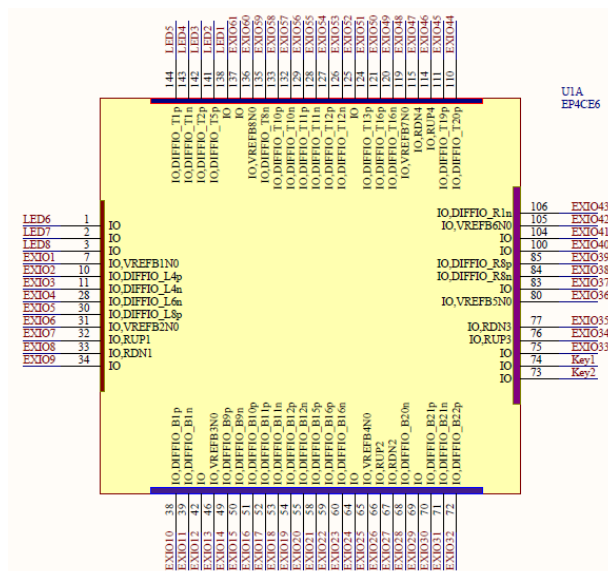


Figura 3. 4: Entradas y salidas de Altera Cyclone IV EP4CE6E22C8N
Elaborado por: Autor

3.2. Diseño del circuito de la placa de entrenamiento FPGA.

Para empezar con el diseño electrónico de la placa de entrenamiento es necesario saber a quién estamos dirigiendo el diseño previo, y cuáles son los usos esperados en la aplicación de la práctica.

3.2.1. Diseño esquemático de la tarjeta entrenadora.

El diseño se lo realiza en el programa ISIS Proteus, muy útil en la aplicación de placas y esquemáticos electrónicos, se espera que los estudiantes e investigadores puedan modificarlo cuando requieran.

Partimos en un diseño esquemático de lo que se necesita para las prácticas de laboratorio de sistemas digitales, entre ellos los elementos más valiosos están periféricos de entrada y salida representados en switch y leds, display de 7 segmentos y por ultimo pines libres para conectar cualquier modulo.

En la figura 3,5 se ilustra el diseño esquemático de la placa en ISIS Proteus, se pueden observar los pines de entrada y salida que hemos otorgado a ella.

Los display que se presentan en la figura anterior son anodo común, por ello es necesario conectarlos en serie con una resistencia de protección a la alimentación de 3.3v, así mismo los leds.

Los switch y pulsadores, que representaran a los periféricos de entrada en este caso, poseen una resistencia de pull-down, así la entrada del fpga siempre registrara un valor lógico alto, y cuando se registre un evento este cambiara de estado.

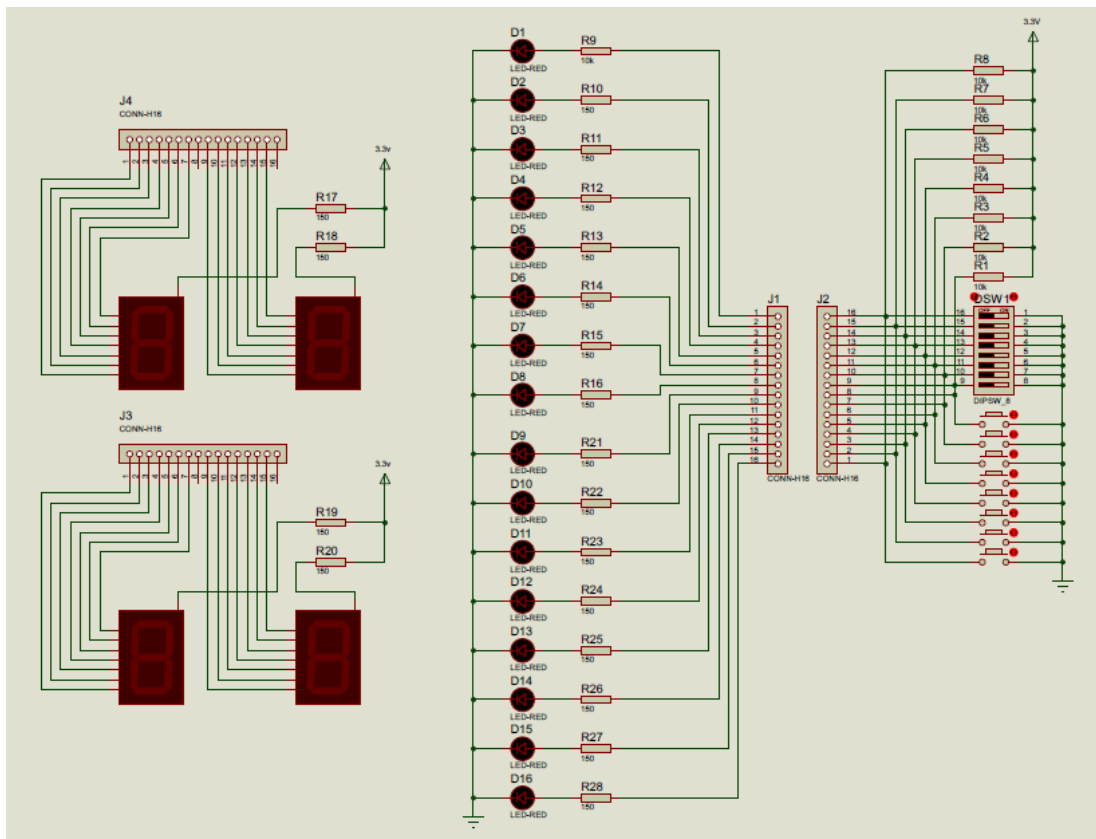


Figura 3. 5: Diseño esquemático de la tarjeta entrenadora FPGA.
Elaborado por: Autor

3.2.2. Diseño PCB de la tarjeta entrenado.

Ya tenemos la idea principal de este trabajo, el siguiente paso será diseñar la tarjeta de circuito impreso, esta se realizará también en ARES Proteus, donde tenemos que tomar en cuenta las dimensiones del núcleo que se adquiere previamente en las tiendas electrónicas, y también de los elementos que deseemos integrar.

En la figura 3.6, se detalla el resultado final de este trabajo, aplicarlo en la práctica depende de los recursos del estudiante como también de un investigador.

Es decir, si el estudiante desea eliminar ciertos elementos por costos de fabricación, se lo puede realizar modificando el diseño adjunto a este trabajo, así mismo si es necesario agregar otros.

Las dimensiones de este PCB están detalladas en la figura que se presenta a continuación.

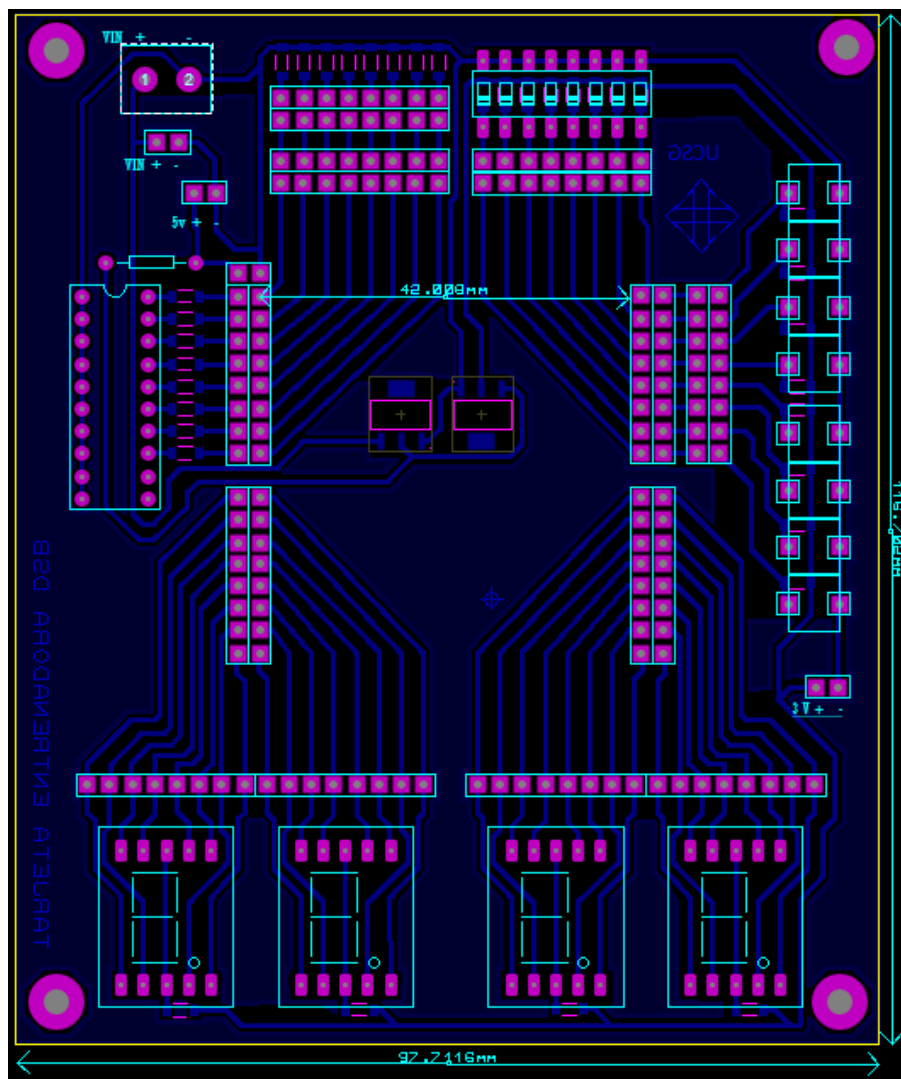


Figura 3. 6: Diseño PCB de la placa entrenadora FPGA
Elaborado por: Autor

El diseño PCB se realiza en modo espejo, para que coincida las dimensiones y también sus posiciones de los pines de los distintos elementos

incluidos en esta tarjeta como por ejemplo los reguladores ASM1117 descritos anteriormente. Además, se puede observar en la figura anterior que se lo realizo para una sola capa, por economizar costos al momento de mandar a imprimir la tarjeta, con doble capa este aumentaría.

El programa ARES Proteus nos proporciona distintas formas de visualizar el diseño, entre ellas está la forma 3D, el cual nos ayuda a tener una idea del trabajo final. En la figura 3.7, se puede observar un modelo previo a la impresión.

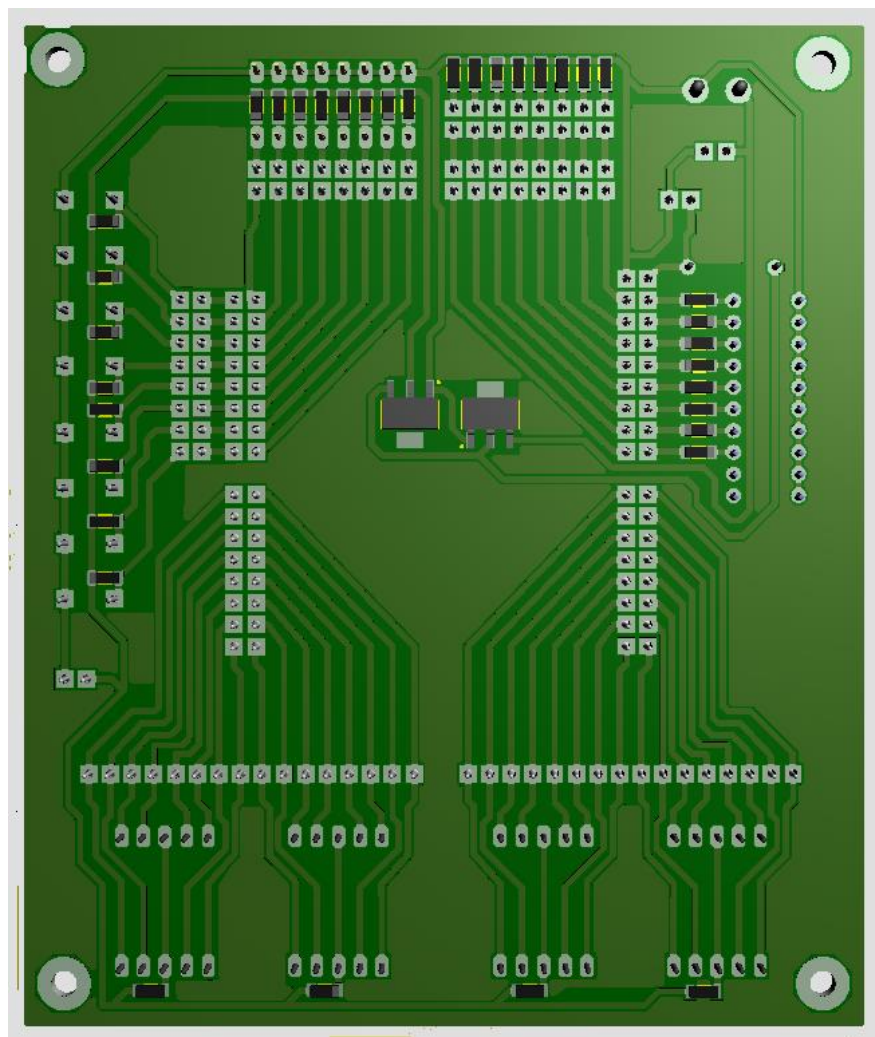


Figura 3. 7: Diseño de capa inferior de placa entrenadora FPGA
Elaborado por: Autor

En la capa inferior se pueden observar los elementos que son soldados superficialmente, estos están diseñados exclusivamente para este tipo de montaje.

A continuación, se podrá apreciar en la figura 3.8 el montaje de la capa superior donde estará conformado por los elementos de inserción tales como los display de 7 segmentos, los leds, los DIP Switch, pulsadores, borneras y pines de salida o entrada.

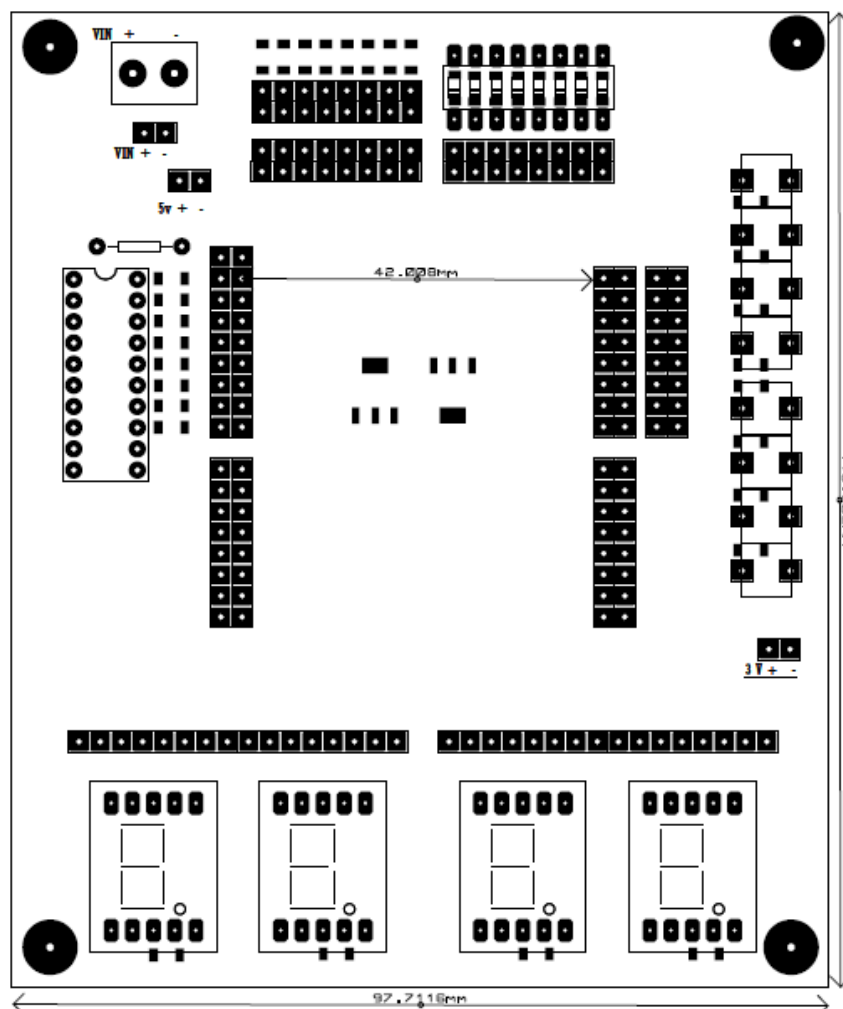


Figura 3. 8: Capa superior de la placa entrenadora FPGA.
Elaborado por: Autor

Así también, es posible representar la capa anteriormente presentada por un modelado 3D proporcionado por el programa Proteus, en la figura 3.9 se presenta en detalle el resultado final de esta tarjeta.

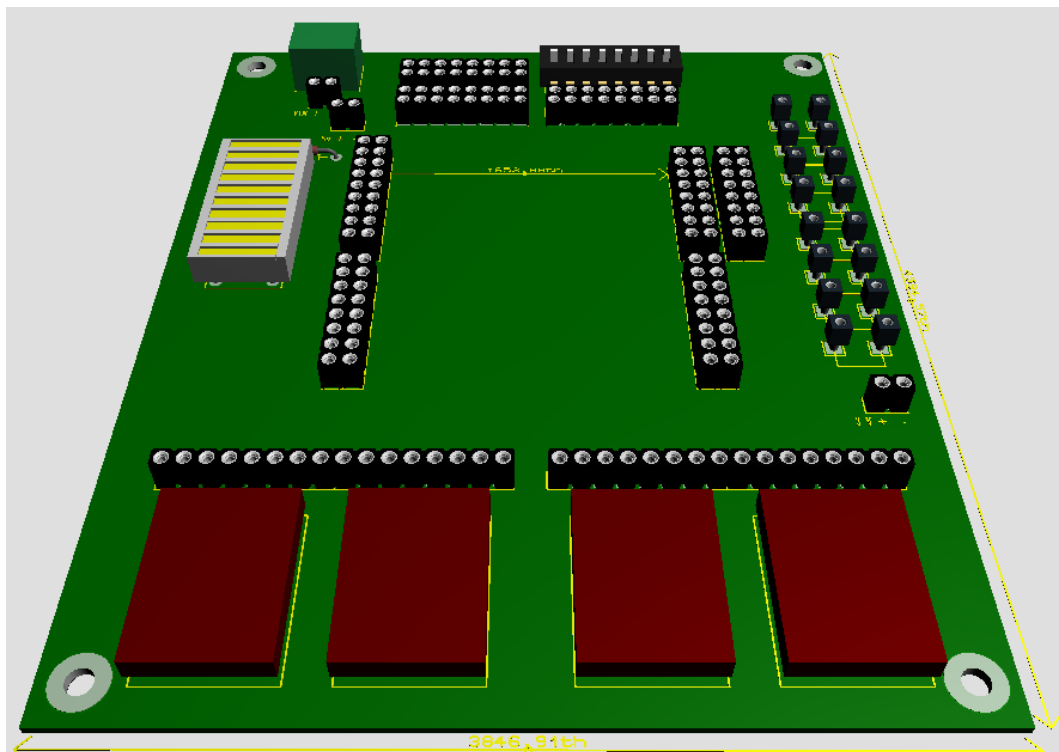


Figura 3. 9: Capa superior de la placa entrenadora FPGA.

Elaborado por: Autor

En la figura anterior se aprecia los pines donde se insertará el núcleo FPGA preparado para esta placa. Su alimentación es de 5 voltios y para los elementos es de 3.3 voltios.

3.2.3. Código de practica en VHDL.

A continuación, se describirá un código de prueba para la placa entrenadora FPGA diseñada e implementada, su función es crear una secuencia de encendido de luces leds proporcionada en la misma entrenadora.

Su código lo escribiremos en el lenguaje de descripción de hardware VHDL, implementado en el programa QuartusII, que es muy utilizado en el aprendizaje e implementación de varios proyectos de las clases de sistemas digitales.

Se presentará su descripción en bloques, y su funcionalidad en la placa.

En la figura 3.10, se detalla la cabecera del programa, mencionando las librerías a utilizar.

```
1 library ieee;  
2 use ieee.std_logic_1164.all;  
3 use ieee.std_logic_arith.all;  
4 use ieee.std_logic_unsigned.all;  
5
```

Figura 3. 10: Cabecera del código de ejemplo.
Elaborado por: Autor

En la figura 3.11, se demuestra el entity del código de muestra, que, si es comparado con la estructura de un programa escrito en arduino, esta sección se lo puede considerar como el void setup, donde se especifican las entradas y salidas.

```
6 entity ep4cE6_test is  
7   PORT(  
8     sys_clk : IN STD_LOGIC;  
9  
10  
11     LED : OUT STD_LOGIC_VECTOR(7 DOWNT0 0)  
12   );  
13  
14 end;  
15
```

Figura 3. 11: Entity del código de ejemplo
Elaborado por: Autor

En la figura anterior se aprecia los pines donde se insertará el núcleo FPGA preparado para esta placa.

Su alimentación es de 5 voltios y para los elementos es de 3.3 voltios.

En la siguiente figura 3.12, se indica la arquitectura del código, esta contiene en su interior los distintos procesos que se pueden realizar en paralelo, es decir, cada uno de estos funciona a la par.

Por cada segundo, se enciende un led progresivamente, esta es la función básica de toda la arquitectura del código de ejemplo.

```
16 architecture bhv of ep4cE6_test is
17 |
18 |   SIGNAL cnt : STD_LOGIC_VECTOR(27 DOWNTO 0) := (OTHERS => '0');
19 |
20 | begin
21 | |
22 | | PROCESS(sys_clk)
23 | | BEGIN
24 | |   IF sys_clk'EVENT AND sys_clk = '1' THEN
25 | |     cnt <= cnt + '1';
26 | |   END IF;
27 | | END PROCESS;
28 | | LED <= cnt(27 DOWNTO 20);
29 | |
30 | | end bhv;
```

Figura 3. 12: Arquitectura del código de ejemplo.
Elaborado por: Autor

Conclusiones

- Se proporcionó las bases suficientes para el conocimiento básico de los microprocesadores FPGA.
- La interfaz desarrollada en este documento es accesible económicamente para los estudiantes de sistemas digitales, ya que está diseñada con elementos económicos y fáciles de conseguir en las tiendas electrónicas del país.
- Se logra conocer las ventajas en el desarrollo electrónico para trabajar con microprocesadores, siendo una herramienta útil para el estudiante.

Recomendaciones

- Desarrollar un nuevo trabajo de componente práctico del diseño presentado en este documento para que de acuerdo a sus necesidades puedan ir ampliando sus aplicaciones y utilizarlos en las prácticas de sistemas digitales.
- También es necesario tomar en cuenta las distintas tarjetas que incorporan el núcleo del microprocesador FPGA para desarrollar más tarjetas entrenadoras partiendo de este trabajo.

Referencias Bibliográficas.

- Alvarado Bonilla, J. C. (2016). Desarrollo de algoritmos en VHDL sobre una FPGA DEO-NANO para prácticas de laboratorio de digitales en la carrera de Ingeniería Electrónica en Control y Automatismo. Retrieved from <http://repositorio.ucsg.edu.ec/handle/3317/5340>
- AMS Semitech. (2016). Datasheet - AMS1117. Retrieved September 3, 2016, from http://www.ams-semitech.com/attachments/File/AMS1117_20120314.pdf
- Brox, M., Gersnoviez, A., Bujalance, I., Quiles, F. J., Ortiz, M. A., & Brox, P. (2016a). DigitalLib: A VHDL library of basic blocks to automate the design of advanced digital systems (pp. 1–7). IEEE. <http://doi.org/10.1109/TAEE.2016.7528247>
- Brox, M., Gersnoviez, A., Bujalance, I., Quiles, F. J., Ortiz, M. A., & Brox, P. (2016b). DigitalLib: A VHDL library of basic blocks to automate the design of advanced digital systems (pp. 1–7). IEEE. <http://doi.org/10.1109/TAEE.2016.7528247>
- Encalada, L., & Alexander, R. (2011, September 1). Control del Módulo Pendubot utilizando una FPGA (Thesis). QUITO/EPN/2011. Retrieved from <http://bibdigital.epn.edu.ec/handle/15000/4070>
- García Dopico, A. (2000, September). Distribución de carga y aumento del grado de paralelismo en simulación síncrona de lenguajes de descripción hardware (phd). Facultad de Informática (UPM). Retrieved from <http://oa.upm.es/123/>
- Karris, S. (2010). Digital Circuit Analysis and Design with an Introduction to CPLDs and FPGAs. Orchard Publications.

- Marcalla, P., Fernando, N., Olmedo, A., & Alejandro, A. (2014, May 13). Estudio comparativo de los lenguajes HDL y su aplicación en la implementación del Laboratorio de Sistemas Digitales Avanzados mediante FPGAS en la EIE-CRI. Retrieved from <http://dspace.esPOCH.edu.ec/handle/123456789/3342>
- pldkit. (2016). XILINX SPARTAN-3 FPGA kit. Development board XKF3. Retrieved September 17, 2016, from <http://www.ebay.com/itm/XILINX-SPARTAN-3-FPGA-kit-Development-board-XKF3-/181685357022>
- State of the art. (2016). Datasheet - 1206. Retrieved September 3, 2016, from <http://www.resistor.com/assets/pdf/1206tstd.pdf>
- Terasic. (2016). Terasic - DE Main Boards - Cyclone - DE0-Nano Development and Education Board. Retrieved September 4, 2016, from <http://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=165&No=593&PartNo=1>
- Veloz, S., & Ramiro, G. (2014, May 9). Análisis e implementación de sistemas de modulación digital ASK, FSK, M-PSK y M-QAM mediante la programación de código VHDL utilizando la tecnología FPGA. Retrieved from <http://dspace.esPOCH.edu.ec/handle/123456789/3335>



Presidencia
de la República
del Ecuador



Plan Nacional
de Ciencia, Tecnología,
Innovación y Saberes



SENESCYT
Secretaría Nacional de Educación Superior,
Ciencia, Tecnología e Innovación

DECLARACIÓN Y AUTORIZACIÓN

Yo, **SOLÍS BALAREZO, DANIEL DAVID** con C.C: # 0802760199 autor del Trabajo de Titulación: **DESARROLLO DE UNA PLATAFORMA DE ENTRENAMIENTO FPGA UTILIZANDO ALTERA CYCLONE IV EP4CE6E22C8N PARA PRÁCTICAS DE SISTEMAS DIGITALES** previo a la obtención del título de **INGENIERO EN TELECOMUNICACIONES** en la Universidad Católica de Santiago de Guayaquil.

1.- Declaro tener pleno conocimiento de la obligación que tienen las instituciones de educación superior, de conformidad con el Artículo 144 de la Ley Orgánica de Educación Superior, de entregar a la SENESCYT en formato digital una copia del referido trabajo de titulación para que sea integrado al Sistema Nacional de Información de la Educación Superior del Ecuador para su difusión pública respetando los derechos de autor.

2.- Autorizo a la SENESCYT a tener una copia del referido trabajo de titulación, con el propósito de generar un repositorio que democratice la información, respetando las políticas de propiedad intelectual vigentes.

Guayaquil, 09 de Septiembre de 2016

f. _____

Nombre: SOLÍS BALAREZO, DANIEL DAVID

C.C: 0802760199

REPOSITORIO NACIONAL EN CIENCIA Y TECNOLOGÍA

FICHA DE REGISTRO DE TESIS/TRABAJO DE TITULACIÓN

TÍTULO Y SUBTÍTULO:	Desarrollo de una plataforma de entrenamiento FPGA utilizando Altera Cyclone IV EP4CE6E22C8N para prácticas de sistemas digitales		
AUTOR(ES)	SOLÍS BALAREZO, DANIEL DAVID		
REVISOR(ES)/TUTOR(ES)	M. Sc. EDWIN F. PALACIOS MELÉNDEZ		
INSTITUCIÓN:	Universidad Católica de Santiago de Guayaquil		
FACULTAD:	Facultad de Educación Técnica para el Desarrollo		
CARRERA:	Ingeniería en Telecomunicaciones		
TÍTULO OBTENIDO:	Ingeniero en Telecomunicaciones		
FECHA DE PUBLICACIÓN:	09 de Septiembre de 2016	No. DE PÁGINAS:	40
ÁREAS TEMÁTICAS:	Sistemas Digitales, Sistemas de Microprocesadores y Diseño Electrónico Digital.		
PALABRAS CLAVES/ KEYWORDS:	FPGA, VHDL, SISTEMAS DIGITALES, MICROPROCESADORES, ISIS PROTEUS, QUARTUS II.		
RESUMEN/ABSTRACT (150-250 palabras):			
<p>En el presente trabajo de titulación en la modalidad de examen complejo con componente práctico se recopila información acerca de los FPGA's, sus aplicaciones y cómo podemos mejorar diseñando o modificando una interfaz de aplicación. Es necesario conocer cómo funciona estos microprocesadores, y sus alcances para desarrollarlos en los distintos proyectos estudiantiles e investigativos. En este trabajo también se detalla un diseño electrónico fácil de realizar y económico, proporcionando al estudiante una herramienta para su formación académica en sistemas digitales. Además, se incluye una breve información del lenguaje de descripción hardware (VHDL), y un ejemplo en nuestra tarjeta entrenadora para los estudiantes de nuestra facultad de educación técnica para el desarrollo, que con ello se destacan las fortalezas del diseño realizado. Las futuras modificaciones de esta tarjeta son ilimitadas, ya que cualquier persona al poder de esta documentación puede realizar cambios en el diseño previo realizado esperando así poder alcanzar a motivar al lector para una investigación más exhaustiva.</p>			
ADJUNTO PDF:	<input checked="" type="checkbox"/> SI	<input type="checkbox"/> NO	
CONTACTO CON AUTOR/ES:	Teléfono: +593-4-5031265 +593-9-92386718	E-mail: dsb586@gmail.com	
CONTACTO CON LA INSTITUCIÓN: COORDINADOR DEL PROCESO DE UTE	Nombre: Palacios Meléndez Edwin Fernando		
	Teléfono: +593-9-68366762		
	E-mail: edwin.palacios@cu.ucsg.edu.ec		
SECCIÓN PARA USO DE BIBLIOTECA			
Nº. DE REGISTRO (en base a datos):			
Nº. DE CLASIFICACIÓN:			
DIRECCIÓN URL (tesis en la web):			